

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-291567

(43)Date of publication of application : 05.11.1993

(51)Int.Cl.

H01L 29/784
H01L 21/28
H01L 29/62
H01L 21/336

(21)Application number : 04-094272

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.04.1992

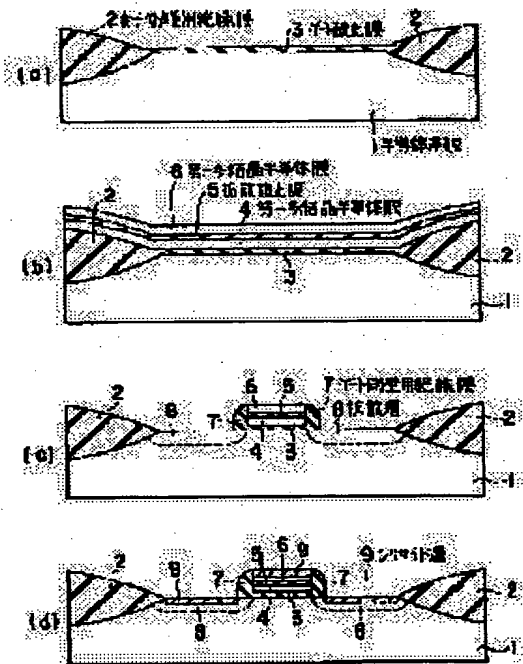
(72)Inventor : MINAZU YASUMASA
YAMAWAKI HIDEYUKI
SHIOZAKI MASAKAZU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a semiconductor device wherein diffusion of metal atom during formation of silicide does not affect a gate oxide film and a manufacturing method thereof.

CONSTITUTION: A gate oxide film 3 is formed on a semiconductor substrate 1 and a gate electrode consisting of a first polycrystalline semiconductor film 4, an extremely thin diffusion preventing film 5 and a second polycrystalline semiconductor film 6 is formed thereon. Then, a metal such as titanium which is suitable for forming silicide is deposited on a surface of the semiconductor substrate 1 and heated to form a silicide layer 9 selectively on a diffusion layer 8 and the second polycrystalline semiconductor film 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-291567

(43) 公開日 平成5年(1993)11月5日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/28	3 0 1 T	7738-4M		
29/62	G	7738-4M		
		7377-4M	H 0 1 L 29/78	3 0 1 G
		7377-4M		3 0 1 P

審査請求 未請求 請求項の数4(全5頁) 最終頁に続く

(21) 出願番号 特願平4-94272

(22) 出願日 平成4年(1992)4月14日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 水津 康正

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72) 発明者 山脇 秀之

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72) 発明者 塩崎 雅一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

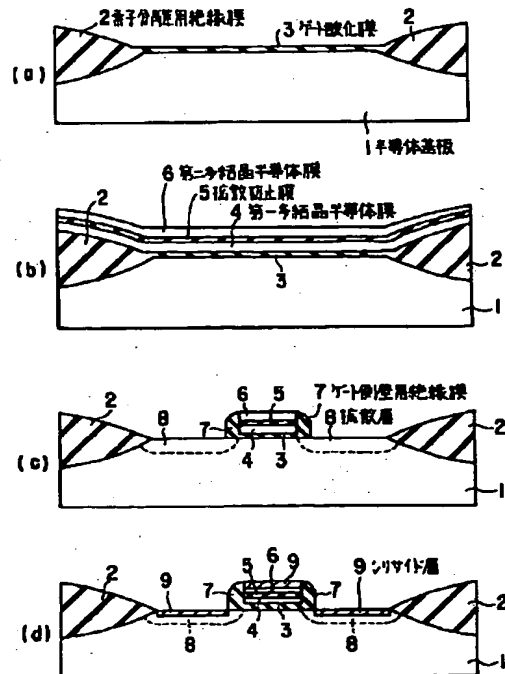
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 本発明の目的はシリサイドを形成する際の金属原子の拡散がゲート酸化膜に影響することのない半導体装置及びその製造方法を提供することである。

【構成】 半導体基板1上にゲート酸化膜3を形成し、該ゲート酸化膜3上に第一多結晶半導体膜4、膜厚のごく薄い拡散防止膜5及び第二多結晶半導体膜6からなるゲート電極が形成される。その後、シリサイドを形成するに適する金属、例えばチタンを半導体基板1表面に堆積させ、加熱処理を行ない拡散層8及び第二多結晶半導体膜6上に選択的にシリサイド層9を形成する。



【特許請求の範囲】

【請求項1】 一導電型の半導体基板と、該半導体基板上に形成された反対導電型の拡散層と、上記半導体基板上に形成されるゲート酸化膜と、該ゲート酸化膜上に形成されるゲート電極と、上記拡散層及び上記ゲート電極の各々表面に形成されるシリサイド層とを有する半導体装置において、上記ゲート電極が第一多結晶半導体膜と、該第一多結晶半導体膜上に形成された拡散防止膜と、該拡散防止膜上に形成される第二多結晶半導体膜とからなる積層膜であることを特徴とする半導体装置。

【請求項2】 上記拡散防止膜は酸化珪素または窒化珪素からなると共に、膜厚が30オングストローム以下であることを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体基板の一主面上に熱酸化によって酸化膜を形成する工程と、該酸化膜上に第一多結晶半導体膜を形成する工程と、該第一多結晶半導体膜上に膜厚30オングストローム以下の拡散防止膜を形成する工程と、該拡散防止膜上に第二多結晶半導体薄膜を形成する工程と、上記第一多結晶半導体膜と上記拡散防止膜と上記第二多結晶半導体膜の三層からなる積層膜を選択的に除去する工程と、該積層膜の側面部分に絶縁膜を形成する工程と、上記半導体基板表面に金属膜を形成する工程と、上記半導体基板を加熱して該金属膜と上記第二多結晶半導体膜を反応させてシリサイドを形成する工程と、未反応の上記金属膜を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 上記拡散防止膜が酸化珪素または窒化珪素からなり、シリサイドがチタンシリサイドからなることを特徴とする請求項3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特にゲート電極上にチタンシリサイドを有するMOS型半導体装置に関する。

【0002】

【従来の技術】 半導体装置の大容量化とともに半導体素子の微細化が進められている。MOS型半導体装置の場合、チップ面積が大きくなるほどゲート電極の配線抵抗がMOS型半導体装置の高速性に影響する。そのため、層抵抗の小さいゲート電極を形成する必要がある。また、ソース及びドレイン領域においても、浅い拡散層を形成する必要があるが、浅い拡散層は層抵抗の増加を招き素子特性が低下するため、層抵抗増大を補償しなければならぬ。そのため、MOS型半導体装置におけるゲート、ソース及びドレイン領域の低抵抗化を図るために、それらの領域の表面にシリサイドが形成されたセルフアラインシリサイド構造が用いられている。

【0003】 以下、図3より従来のセルフアラインシリサイド構造のMOS型半導体装置を説明する。まず、半導体基板11に素子分離用絶縁膜12を選択的に形成す

る。その後、半導体基板11上にゲート酸化膜13を形成し、該ゲート酸化膜13上に多結晶半導体膜14を堆積させ、リソグラフィ法及びRIE（反応性イオンエッチング）により多結晶半導体膜14からなるゲート電極が形成される。次に、多結晶半導体膜14の側壁にゲート側壁用絶縁膜15が形成され、ソース及びドレイン領域となる拡散層16が半導体基板11に形成される（同図（a））。

【0004】 半導体基板11の全面にチタン、コバルト等の低抵抗珪化物（シリサイド）を形成する金属を堆積させ金属膜17を形成する（同図（b））。その後、多結晶半導体膜14及び拡散層16に含まれる半導体と上記金属を熱反応させ、それぞれシリサイド層18が形成される（同図（c））。未反応の金属膜17を除去し、セルフアラインシリサイド構造のMOS型半導体装置が形成される（同図（d））。

【0005】 しかしながら、ゲート電極となる多結晶半導体膜14上の金属膜17のシリサイド化が原因となり、素子特性の劣化を招く場合がある。なぜなら、図3に示されるようなセルフアラインシリサイド構造のMOS型半導体装置では、多結晶半導体膜14と拡散層16の表面に同時にシリサイド層を形成する。即ち、ゲート電極は多結晶半導体からなり、一方、基板は単結晶半導体である。ところが、チタンなどの金属原子の半導体材料中での拡散挙動は単結晶と多結晶において大きく異なり、多結晶中では結晶粒界を通しての高速拡散が起こるため、全体としての拡散速度も単結晶中と比べて大幅に速くなる。つまり、シリサイド化工程において、金属原子が多結晶半導体膜14内を高速で拡散され、ゲート酸化膜13内にも拡散されるため素子特性の劣化を引き起こす。

【0006】

【発明が解決しようとする課題】 上述のような現象は多結晶半導体膜、つまりゲート電極の膜厚を厚くすることにより防ぐことが可能であるが、素子の微細化に伴う基板表面垂直方向の寸法縮小の要求に反するものである。従って、ゲート電極の厚さを厚くすることなく、シリサイド化において金属原子の拡散がゲート酸化膜に影響しないようにすることが求められる。

【0007】 それ故、本発明の目的は低抵抗のシリサイドを形成する際の金属原子の拡散がゲート酸化膜に影響することのない半導体装置及びその製造方法を提供することである。

【0008】

【課題を解決するための手段】 セルフアラインシリサイド構造のMOS型半導体装置において、ゲート電極が第一多結晶半導体膜と、該第一多結晶半導体膜上に形成された膜厚が30オングストローム以下の拡散防止膜と、該拡散防止膜上に形成される第二多結晶半導体膜とからなる積層膜であり、第二多結晶半導体膜表面に金属シリ

サイドが形成されることを特徴とする。

【0009】上記ゲート電極は以下に示されるように形成される。素子分離された半導体基板上にゲート酸化膜が形成され、該ゲート酸化膜上に第一多結晶半導体膜を形成し、該第一多結晶半導体膜上に膜厚300Å以下の拡散防止膜を形成し、該拡散防止膜上に第二多結晶半導体膜を形成し、上記第一多結晶半導体膜と上記拡散防止膜と上記第二多結晶半導体膜との三層からなる積層膜を選択的に除去する。該積層膜の側面部分に絶縁膜を形成し、上記半導体基板表面に金属膜を形成させ、上記半導体基板を加熱して該金属膜と上記第二多結晶半導体膜を反応させて金属シリサイドを形成し、未反応の上記金属膜を除去する。

【0010】

【作用】本発明によるMOS半導体装置のゲート電極は、ゲート酸化膜上に順次形成される第一多結晶半導体膜と拡散防止膜と第二多結晶半導体膜からなる積層膜である。従って、ゲート電極表面に金属シリサイドを形成する際のゲート電極中を拡散する金属原子は、拡散防止膜上の第二多結晶半導体膜内のみに拡散され、拡散防止膜によりゲート酸化膜に拡散されることがない。つまり、拡散防止膜は多結晶半導体からなるゲート電極の電気伝導に影響することなく、ゲート電極中の基板表面に垂直方向な金属原子の拡散を抑える働きをしている。

【0011】

【実施例】以下、本発明の一実施例を図1を用いて説明する。

【0012】まず、半導体基板1に素子分離用絶縁膜2を選択的に形成した後、半導体基板1上にゲート酸化膜3を形成する(同図(a))。次に、該ゲート酸化膜3上にゲート電極となる多結晶半導体膜を形成する。このとき、該多結晶半導体膜は二度に分けて形成される。つまり、ゲート酸化膜3上に第一多結晶半導体膜4を形成し、該第一多結晶半導体膜4上に膜厚のごく薄い拡散防止膜5を形成し、該拡散防止膜5上に第二多結晶半導体膜6を形成する(同図(b))。これら三層からなるゲート電極の形成方法として、例えば次の(1)及び(2)に示す方法がある。

【0013】(1)減圧化学気相成長法により第一多結晶半導体膜4をゲート酸化膜3上に堆積させる。その後、一旦基板を反応管から外に出し、多結晶半導体膜4の堆積温度である600℃に近い温度で酸素を含む外気にさらして第一多結晶半導体膜4上に拡散防止膜5を形成する。再び反応管内に挿入することにより、減圧化学気相成長法により拡散防止膜5上に第二多結晶半導体膜6を堆積させる方法。

【0014】(2)減圧化学気相成長法により第一多結晶半導体膜4を堆積させた後、反応管内に導入される反応ガスを切り換えることにより、第一多結晶半導体膜4上に拡散防止膜5を形成し、再び、反応ガスを切り換え

第二多結晶半導体膜6を形成する方法。ここで、反応ガスは、第一多結晶半導体膜4及び第二多結晶半導体膜6の形成にはシラン(SiH_4)を用い、拡散防止膜5の形成には酸素が導入される。

【0015】次に、通常的光リソグラフィ法とRIE(反応性イオンエッチング)による異方性エッチングによって、第一多結晶半導体膜4、拡散防止膜5及び第二多結晶半導体膜6を選択的に除去し、ゲート電極が形成される。その後、 SiO_2 または SiN からなる絶縁膜を基板全面に堆積させた後、異方性エッチングにより上記ゲート電極の側面にゲート側壁用絶縁膜7を形成する。次に、半導体基板1に選択的にイオン注入ソース及びドレイン領域となる拡散層8を形成する。半導体基板1上のゲート酸化膜3を希弗酸処理によってエッチング除去する(同図(c))。

【0016】低抵抗シリサイドを形成するに適する金属、例えばチタンを半導体基板1表面に堆積させ、加熱処理を行ない拡散層8及び第二多結晶半導体膜6上に選択的にシリサイド層9を形成した後、適当な湿式処理、例えばアンモニア水と過酸化水素水の混合液又は硫酸と過酸化水素水の混合液などによって未反応の金属を除去する(同図(d))。

【0017】尚、同図(c)に示した拡散層8の形成は、ゲート側壁用絶縁膜7の形成直前または直後いずれでもよい。また、金属を堆積後またはシリサイド層9の形成後に拡散層8を形成することも可能である。

【0018】上述の(1)及び(2)の方法において、

(1)よりも(2)の方法のほうが膜厚等を容易に制御することができる。また、(2)の方法における拡散防止膜5の途中での導入ガスとしてアンモニアを含むガスを用いることにより、拡散防止膜5として薄い窒化膜を形成する方法も可能である。これらの酸化膜または窒化膜等からなる拡散防止膜5の膜厚は、ゲート電極の電気的性質を大きく変化させることなく、かつ金属原子の拡散を防止する程度、例えば平均膜厚が300Å以下であればよい。即ち、拡散防止膜5は絶縁性の膜であるが極めて薄い膜厚のため、第一多結晶半導体膜4と第二多結晶半導体膜6は電気的に接続されている。

【0019】図2では、従来並びに本発明により形成されたセルフアラインシリサイド構造のMOS型半導体装置でのゲート酸化膜の絶縁破壊試験での良品率を、ゲート電極となる多結晶半導体膜の膜厚に対して示したものである。これによれば、従来方法では多結晶半導体膜の厚さが200nm以上のときにはほぼ一定した良品率が得られているものの、せいぜい70%に過ぎない。これに対して本発明の方法では、同様の条件での良品率は90~95%と大幅に増加している。

【0020】

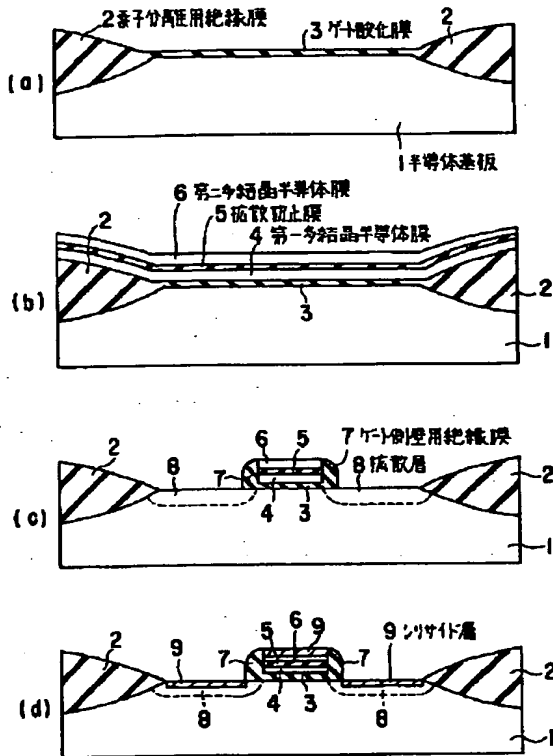
【発明の効果】本発明によれば、多結晶半導体膜のほぼ

中間にごく薄い拡散防止膜を有するゲート電極を形成する。従って、セルフアラインシリサイド工程の際に拡散防止膜がチタンなどの金属原子の同ゲート電極内への拡散を抑えるため、金属原子の拡散がゲート酸化膜に影響を与えることがなく、素子特性の劣化を防ぐことができる。よって、ゲート電極を厚くすることがなく、素子の微細化に対応し基板表面垂直方向の寸法縮小を達成できる。

【図面の簡単な説明】

【図1】本発明による一実施例の製造工程を示す図である。

【図1】



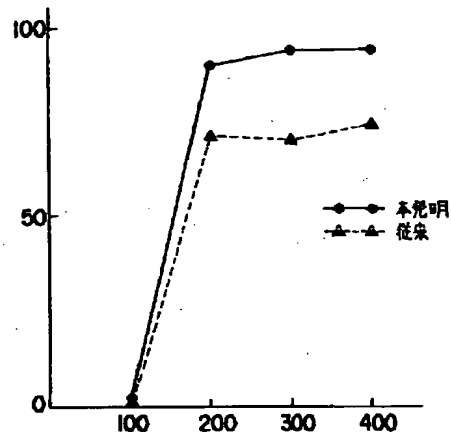
【図2】従来及び本発明により形成されたMOS型半導体装置において、ゲート電極となる多結晶半導体膜の膜厚に対するゲート酸化膜の絶縁破壊試験での良品率を示したものである。

【図3】従来の製造工程を示す図である。

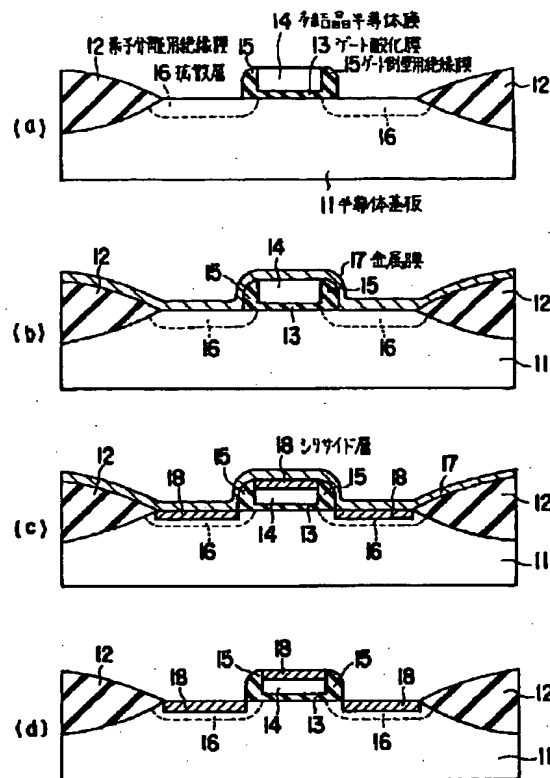
【符号の説明】

1…半導体基板、2…素子分離用絶縁膜、3…ゲート酸化膜、4…第一多結晶半導体膜、5…拡散防止膜、6…第二多結晶半導体膜、7…ゲート側壁用絶縁膜、8…拡散層、9…シリサイド層。

【図2】



【図3】



フロントページの続き

(51) Int. Cl.⁵

H01L 21/336

識別記号

庁内整理番号

F I

技術表示箇所